

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 58-085572
(43)Date of publication of application : 21.05.1983

(51)Int.Cl. H01L 29/81

(21)Application number : 56-182980
(22)Date of filing : 17.11.1981

(71)Applicant : OLYMPUS OPTICAL CO LTD

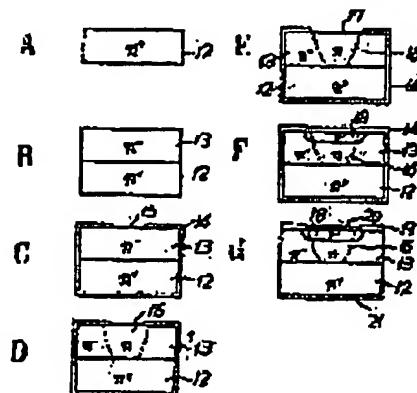
(72) Inventor : YANAGISAWA KAZUMUKI

(54) PLANAR TYPE DIODE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To lower the forward voltage drop of a planar type diode and to enhance the reverse withstand voltage by forming a region of different impurity density in a region having lower impurity density of two adjacent regions at both sides of a p-n junction.

CONSTITUTION: A substrate 12 of a planar type diode is formed in n+ type, and an n- type semiconductor layer 13 is formed on the substrate 12. The entire surfaces of the substrate 12 and the layer 13 are covered with an oxidized film 14, the film 14 is then partly removed, thereby forming a hole 15 for diffusing an n type impurity, the impurity is diffused from the hole 15, thereby forming the first n type diffused surface region in the layer 13. A hole 17 is formed to surround completely the hole 15 for forming the first n type diffused surface region 16, p type impurity is diffused from the hole 17, thereby forming the second p+ type diffused surface region 18 shallower than the region 16. Further, the surface protective film 19 of only necessary position is allowed to remain, and electrodes 20 and 21 are respectively formed on the region 18 and substrate 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998-2003 Japan Patent Office

Best Available Copy

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭58—85572

⑫ Int. Cl.³
H 01 L 29/91

識別記号

厅内整理番号
7638-5F

⑬ 公開 昭和58年(1983)5月21日

発明の数 2
審査請求 未請求

(全 4 頁)

⑭ プレーナ型ダイオードおよびその製造方法

2号オリンパス光学工業株式会社
社内⑮ 特願 昭56—182980
⑯ 出願 昭56(1981)11月17日
⑰ 発明者 柳沢一向⑱ 出願人 オリンパス光学工業株式会社
東京都渋谷区幡ヶ谷2丁目43番
2号

東京都渋谷区幡ヶ谷2丁目43番

⑲ 代理人 弁理士 杉村暁秀 外1名

明細書

① 免明の名称 プレーナ型ダイオードおよびその製造方法

説明よりも長い反対導電層の第2表面領域を形成することを特徴とするプレーナ型ダイオードの製造方法。

② 特許請求の範囲

③ 免明の詳細な説明

L 一導電型の半導体基体と、この基体の一方の表面に接続し、基体内面へ既在する反対導電層の表面領域とを具えるプレーナ型ダイオードにおいて、前記一導電層の基体と反対導電層の表面領域との境界面に形成されるpn結合の、前記両表面とほぼ平行に既在する部分の下側にある基体部分の不純物濃度を他の他の部分の不純物濃度よりも高くしたことを特徴とするプレーナ型ダイオード。

B 一導電型の半導体基体上に、一導電層でかつ不純物濃度が前記半導体基体の不純物濃度よりも高い半導体層を形成し、この半導体層の表面から前記半導体層の不純物濃度よりも高い不純物濃度を有する一導電層の第1表面領域を形成し、前記半導体層の表面から、前記第1表面領域の表面領域を除むが第2表面

本発明は、一導電型の半導体基体と、この基体の一方の表面に接続し、基体内面へ既在する反対導電層の表面領域とを具えるプレーナ型ダイオードおよび明かるプレーナ型ダイオードの製造方法に関するものである。

このようなプレーナ型ダイオードは既知であり、例えば第1図に示すような構造のものが知られている。このプレーナ型ダイオードノを構成するに当つては、n⁺型半導体基板2の上にp型半導体層3を、例えばエピタキシャル成長により形成し、この半導体層3内に、例えば抵抗によりp⁺型表面領域4を形成してpn結合5を形成する。次に半導体層3の表面には、窒化珪、酸化珪、ポリイミド系被膜などから成る表面保護膜6を被覆する。さらにp⁺型表面領域4およびn⁺型表面7の表面に、例えば金属蒸着により配線7aおよび8を設け

る。

このようなブレーナ型ダイオードにおいて、逆方向耐電圧低下は、n型半導体層との、p⁺型反面領域との之下にある部分の抵抗、すなわち不純物濃度で決まり、この順方向耐電圧低下を低くするためににはn型や導体層との不純物濃度を高くして抵抗を低くする必要がある。一方、ダイオードの逆方向耐電圧はn型半導体層との不純物濃度が低いほど高くなる。このようにn型半導体層に露出される延伸は相反することになり、そのため順方向耐電圧低下が低く、しかも逆方向耐電圧が高いブレーナ型ダイオードは従来得られなかつた。

本発明の目的はp-n接合を挟んで隣接する2つの領域の内、不純物濃度の低い領域に不純物濃度の高い領域を形成することにより順方向の耐電圧低下を低くすると共に逆方向の耐電圧を高くすることができるブレーナ型ダイオードを提供しようとするものである。

本発明は、一導電帯の半導体基体と、この基体の一方の表面に隣接し、基体内部へ存在する反対

特開昭58-05572(2)
導電帯の表面領域とを具えるブレーナ型ダイオードにおいて、前記一導電帯の基体と反対導電帯の表面領域との境界面に形成されるp-n接合の隣接基体表面と概ね平行に存在する部分の下側にある基体部分の不純物濃度を基体の他の部分の不純物濃度よりも高くしたことを特徴とするものである。

さらに本発明の目的は上述したブレーナ型ダイオードを簡単に確実に製造し得る方法を提供するものである。

本発明のブレーナ型ダイオードの製造方法は、一導電帯の半導体基体上に、一導電帯でかつ不純物濃度が前記半導体基体の不純物濃度よりも高い半導体層を形成し、この半導体層の表面から前記半導体層の不純物濃度よりも高い不純物濃度を有する一導電帯の逆/正表面領域を形成し、前記半導体層の裏面から、前記逆/正表面領域の裏面区域を露むが逆/正表面領域よりも低い反対導電帯の第2反面領域を形成することを特徴とするものである。

ブレーナ型ダイオードの逆方向耐電圧は、第1回に示したn型半導体層との不純物濃度で決まる

のであるが、さもなく静かに検討すると、ブレーナ型ダイオードに逆バイアスした際に電界の集中するn型半導体層との表面部分との不純物濃度に主として依存することを認めた。したがつて本発明では、n型半導体層との表面部分との不純物濃度を低くして、この部分の抵抗を高くすることにより逆方向耐電圧を高くすることができるという事実に着目したものである。

以下、図面を参照して本発明を詳細に説明する。

第2回A～Cは本発明のブレーナ型ダイオードの順次の製造工程を示すものである。まず第2回Aに示すようにブレーナ型ダイオードの基板Hとして使用するウエフAを用意する。本例ではこの基板Hをp⁺型とし、その不純物濃度を 10^{18} cm^{-3} 以上とする。次に第2回Bに示すようにp⁺型基板Hの上にn型半導体層Nをエピタキシャル成長、蒸着などの方法で形成する。このときn型半導体層Nのn型不純物濃度は、典型的には 10^{13} ～ 10^{15} cm^{-3} の範囲とする。また、前記n型半導体層Nの厚みは目的に応じて選択されるが、多くの

場合 $5 \sim 500 \mu\text{m}$ の範囲である。次に第2回Cに示すように基体Hおよび半導体層Nの表面全体を酸化膜Pで覆い、その酸化膜Pを部分的に除去してn型不純物捕収用の開口部Kを形成する。この開口部Kよりn型不純物を捕收させ、p⁺型半導体層Nの中にn型捕收表面領域Rを形成する。このときn型捕收表面領域Rの不純物濃度は $10^{16} \sim 10^{18} \text{ cm}^{-3}$ とするのが望ましい。また、n型捕收表面領域Rはp⁺型基板Hに達するまで捕收するのが好適である。この状態を第2回Dに示す。次に第2回Eに示すように、p⁺のn型捕收表面領域Rを形成するための開口部Kを完全に開むよう開口部Kを開け、この開口部Kよりp⁺型不純物を捕收し、第1捕收表面領域Rよりも高い第2のp⁺型捕收表面領域R'を形成する。このときのp⁺型不純物濃度は 10^{18} cm^{-3} 以上とする。この第2捕收表面領域R'は第1捕收表面領域Rの表面領域を完全に囲むことになる。この状態を第2回Fに示す。さらに必要個所の表面保護膜Mの上を絶縁し、p⁺型捕收表面領域Rおよびp⁺型基板

りにそれぞれ電極&およびJを形成する。尚、成形保護膜19としては、前工程まで利用してきた酸化膜14をそのまま使用してもよいし、又、PSG、 Si_3N_4 等さらにはポリイミド系被膜で新たに形成しても良い。このようにして得たプレーナ型ダイオードを第2回Gに示す。

以上述べてきたような本発明の方法により、 p^+ 型抵抗表面領域16直下のロープ状中導体層15の部分に、 n^- 型半導体層13の底部より不純物濃度の高いリード抵抗表面領域18を作ることにより、ダイオードの耐方向電圧降下を小さくすることができる。また、逆方向耐圧については、耐圧を決定する n^- 型半導体層13の底部部分12の不純物濃度は n^- 型半導体層13と同様低く保たれているので、逆耐圧を高くすることができる。このようにして本発明によれば、逆方向電圧降下を低くすると共に逆方向耐電圧を高くすることができ、相反する両面を同時に確保することができる。

本発明は上述した例にのみ限られるものではなく、構造の変更が可能である。上述した実施例

マスクとして使う酸化膜がで埋つたのち、一方の表面の酸化膜を除去し、次に酸化膜の無い表面からロープ型不純物を抜取して p^+ 型抵抗層16を形成し、最後に酸化膜を全て除去することにより第3回Eに示すような p^+/n^+ 構造を造ることもできる。いずれの方法を採用しても、第1回Gに示した p/n^+ 構造の基体を作ることが出来る。

さらに、第2回Gで形成したリード抵抗表面領域16は p^+ 型基板12にぶつかるよう形成するのが望ましいが、第6回に示すように、リード抵抗表面領域16が p^+ 型基板12にとどかなくても、耐方向電圧降下が改善されるのは明らかである。

また、上述した例ではリード領域16および p^+ 型抵抗層16はともに抵抗領域としたが、その設方またはいずれか一方をイオン注入により形成することもできる。さらに p^+ 型抵抗層16と n^- 型半導体層13の境界面にN型埋込領域を形成することもできる。上述したように本発明によれば、プレーナ型ダイオードの耐方向電圧降下を小さくしながら、同時に逆方向の耐圧を向上させることができる。

特開昭58-05572(3)

では p^+ 型基板12を出发材料として用いたが、基板を p^+ 型として素子を作成することも可能である。この場合にはP、Nが全て逆転するだけで、第2回A～第3回Gに示した製造工程をそのまま適用することができる。また、上述した例ではプレーナ型ダイオード単体について説明したが、ウエハ上に複数個のダイオードが含まれる場合、さらには、耐圧を必要とするPN組合が表面に露出したプレーナ型素子であれば、サイリスタ、トランジスタ等にも容易に構造することが出来る。さらに第2回Gに示す p^-/n^+ 構造を実現する方法としては、前述した方法の他に、第3回に示す方法でも可能である。第2回A～第3回Gに示す方法では、第3回Eに示すように p^+ 型基板12を焼制し、この基板の底面からN型不純物の抜取により第3回Gに示すように p^+ 型抵抗層16、J1を形成した後、いずれか一方の p^+ 型抵抗層、例えば抵抗層16をタッピング又はエッチングで除去して、第3回Gに示す p^-/n^+ 構造を造ることができる。また第3回Gに示すように p^- 型基板12表面を抜取

各回の簡単な説明

第1回は従来のプレーナ型ダイオードの構成を示す概略的断面図。

第2回A～Gは本発明によるプレーナ型ダイオードの製造方法の順次の工程を示す概略的断面図。

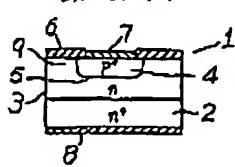
第3回A～Dは第2回Bに示す p^+/n^+ 構造の製造方法の他の例を示す概略的断面図。

第4回は本発明によるプレーナ型ダイオードの他の例の構成を示す概略的断面図である。

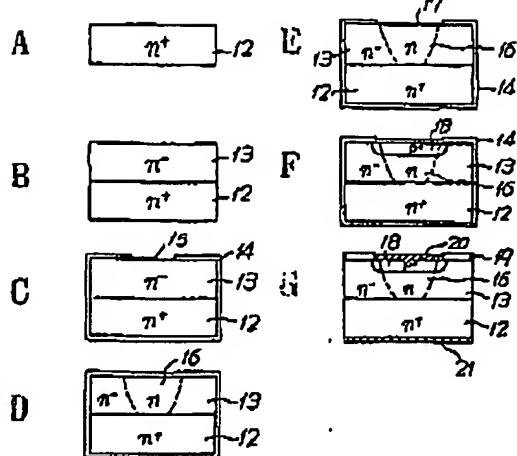
12… p^+ 型基板、13… n^- 型半導体層、14…n型抵抗層、16… p^+ 型抵抗層。

特開昭58-05572(4)

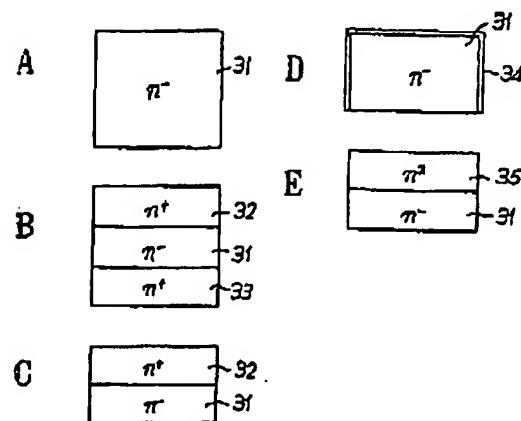
第1図



第2図



第3図



第4図

